

Docket No.: MUH-12041

COPIES OF PAPERS
ON FILE

GAU 2185

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By:  Date: January 22, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Heinz Hoenigschmid
Applic. No. : 09/997,983
Filed : November 29, 2001
Title : Integrated Magnetoresistive Semiconductor Memory and
Fabrication Method for the Memory
Art Unit : 2185

RECEIVED

FEB 22 2002

CLAIM FOR PRIORITY

Technology Center 2100

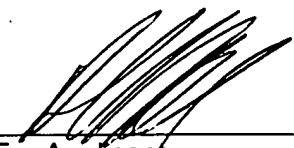
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 100 59 181.7, filed November 29, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



For Applicant

RALPH E. LOCHER
REG. NO. 41.947

Date: January 22, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

RECEIVED
FEB 22 2002
Technology Center 2100

Aktenzeichen: 100 59 181.7

Anmeldetag: 29. November 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Integrierter magnetoresistiver Halbleiterspeicher und
Herstellungsverfahren dafür

IPC: H 01 L, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. November 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Dzierzon

MÜLLER & HOFFMANN – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 10589

Ko/gi

Anmelderzeichen: 2000 17436
(00 E 17192 DE)

29.11.2000

Infineon Technologies AG

St.-Martin-Str. 43

81669 München

**Integrierter magnetoresistiver Halbleiterspeicher und
Herstellungsverfahren dafür**

Beschreibung

Integrierter magnetoresistiver Halbleiterspeicher und Her-
stellungsverfahren dafür

5

Die Erfindung betrifft einen integrierten magnetoresistiven
Halbleiterspeicher, der in jeder Speicherzelle zwei durch ei-
ne dünne Tunnelbarriere getrennte magnetische Lagen und einen
Schalttransistor oder eine Diode als aktiv schaltbares Iso-
lierelement aufweist, wobei Verbindungsleiter jeweils für
10 Wort-, Digit- und Bitleitungen sowie zur Aktivierung des
Schalttransistors einer oder mehrerer Speicherzellen in meh-
reren Metallisierungsebenen und einer Polysiliziumverbin-
dungsebene integriert sind und ein dafür geeignetes Herstel-
15 lungsverfahren.

Magnetoresistive Halbleiterspeicherzellen (MRAM) basieren auf
magnetischen Speichergliedern, die zusammen mit CMOS-Gliedern
integriert sind. Die Haupteigenschaften der MRAM-Technologie
20 sind, dass die gespeicherten Daten nichtflüchtig sind und die
Speicherzellen eine unbegrenzte Anzahl von Lese- und Schreib-
zugriffen erlauben.

Idealerweise würde eine MRAM-Zelle ohne Schaltelemente, d.h.
5 als reine Widerstandsmatrix ausgeführt werden. Dies hat je-
doch den entscheidenden Nachteil, dass parasitäre Ströme über
nicht angesprochene Zellen abfließen.

Deshalb benützt man bei einer in den beiliegenden Fig. 1, 2A
30 und 2B dargestellten bekannten MRAM-Speicherzelle einen aktiv
schaltbaren MOS-Transistor zur Isolation einer jeden Spei-
cherzelle und gelangt so zu einem DRAM-ähnlichen Zellenauf-
bau.

Die beiliegende Fig. 1 zeigt in Form einer schematischen ebe-
nen Darstellung ein beispielhaftes Layout einer Anordnung von
35 1-Transistor MRAM-Zellen.

Zur Ansteuerung für einen Schreib- und Lesevorgang zum Einlesen und Auslesen von Daten in eine MRAM-Speicherzelle sind jeweils Wortleitungen (WL) 1, WL-Stitchleitungen 2, Digitleitungen 3 und Bitleitungen 5 vorgesehen. Mit der Bezugszahl 4 ist ein aktiver Bereich (Diffusionsbereich), mit 6 ein Strapabschnitt, mit 7 ein Kontakt zwischen Strap 6 und Diffusionsbereich 4 und mit 8 ein (schraffiert eingezeichnetes) minimal erzielbares Zell-Layout von 6 F_ bezeichnet (F bedeutet minimum feature size und ist in Fig. 1 beispielhaft durch die Breite F einer Wortleitung 1 dargestellt).

Fig. 2A zeigt schematisch einen Querschnitt durch eine MRAM-Speicherzelle gemäß Fig. 1, und es ist deutlich ersichtlich, dass ein Stapel aus zwei durch eine dünne Tunnelbarriere 13 getrennten magnetischen Lagen 11 und 12 eine magnetische Tunnel-Junctionstruktur bilden, wobei die magnetische Lage 11 eine feste magnetische Orientierung und die magnetische Lage 12 eine freie magnetische Orientierung bildet. Der Widerstand der Speicherzelle ist, abhängig von der relativen Polarisierung der freien magnetischen Lage 12 bezogen auf die feste magnetische Lage 11, entweder niedrig oder hoch, wobei die Hysterese beim Schalten zwischen den beiden Zuständen den magnetischen Speichereffekt bewirkt.

Der als Isolierglied integrierte MOS-Schalttransistor 15 sorgt für die Bitselektion zum Lesen einzelner Bits und, wie erwähnt, dafür, dass die gespeicherte Information nicht durch parasitäre Ströme über nicht angesprochene Zellen flüchtig wird. Fig. 2A und vereinfacht 2B zeigen deutlich, dass die Führung von Verbindungsleitungen, für Wortleitungen WL 1, WL-Stitch 2, Digitline 3 und Bitline 5 eine Polysiliziumverbindungsebene GC (Gate Conductor) und drei Metallisierungsebenen M1, M2 und M3 benötigt: M1 dient z.B. zur Widerstandsreduzierung der WL (WL-Stitch, WL-Segmentierung), M2 ist für die nur zum Schreiben benötigte Digitline DL 3 und M3 für die Bitleitung 5 nötig.

Der Fachmann sieht deutlich, dass die große Zahl von Metallisierungs- bzw. Verbindungsebenen zu hohen Herstellungskosten aufgrund der dafür notwendigen komplizierten Prozessschritte führen.

Es ist somit Aufgabe der Erfindung, einen gattungsgemäßen magnetoresistiven 1-Transistorzellen-Halbleiterspeicher und ein dafür eingerichtetes Herstellungsverfahren so anzugeben, dass die Anzahl der Metallisierungsebenen und damit die Prozesskosten reduziert sind, wobei gleichzeitig das im Stand der Technik erreichte minimale Zelllayout von 6 F₁ beibehalten werden soll.

Diese Aufgabe wird anspruchsgemäß gelöst. Gemäß einem wesentlichen Aspekt der Erfindung ist ein diese Aufgabe lösender integrierter magnetoresistiver Halbleiterspeicher dadurch gekennzeichnet, dass alle Verbindungsleiter ausschließlich in zwei Metallisierungsebenen und der Polysiliziumebene liegen.

Gemäß einer vorgeschlagenen Ausführungsform der erfindungsgemäßen magnetoresistiven Halbleiterspeicherarchitektur wird sowohl für die Digitleitung als auch für die niederohmige WL-Verbindung die gleiche Metallisierungsebene, nämlich M1 verwendet. Die Bitleitung kann dann in M2 liegen.

Bei einer weiteren Ausführungsform dient die Polysiliziumverbindungsebene GC als Substratkurzschluss.

Ein die obige Aufgabe lösendes Verfahren zur Herstellung einer integrierten magnetoresistiven 1-Transistor-Halbleiterspeicherzelle ist dadurch gekennzeichnet, dass die im Layout ungenutzten Leitungen, welche in der Metallisierungsebene der Digitleitung liegen, bzw. in der Polysiliziumverbindungsebene angeordnet sind, für andere Zwecke zum Beispiel für die Wortleitung WL und die Substratverbindung verwendet werden.

Nach dem oben Gesagten kann die erfindungsgemäße 1-Transistor MRAM-Architektur, da sie nur zwei Metallisierungsebenen sowie die Polysiliziumverbindungsebene GC verwendet, durch wenige Prozessschritte hergestellt werden und hilft damit Prozesskosten einzusparen. Außerdem kann das minimale Zelllayout von 6 F₂ beibehalten werden.

Nachstehend wird die Erfindung in Ausführungsbeispielen anhand der beiliegenden Zeichnungsfiguren näher erläutert.

10

Fig. 1 zeigt schematisch in ebener Darstellung ein Layout eines bekannten integrierten magnetoresistiven Halbleiterspeichers.

15 Fig. 2A und 2B zeigen in Form schematischer Querschnitte Elemente, deren Aufbau und Metallisierungsebenen des in Fig. 1 dargestellten bekannten integrierten magnetoresistiven Halbleiterspeichers.

20 Fig. 3A und 3B zeigen jeweils in ebener Darstellung und als Schaltschema ein erstes Ausführungsbeispiel eines integrierten magnetoresistiven Halbleiterspeichers gemäß der Erfindung, und

Fig. 4 zeigt ein Schaltschema eines zweiten Ausführungsbeispiels eines erfindungsgemäßen integrierten magnetoresistiven Halbleiterspeichers.

Bei dem in Fig. 3A in ebener Draufsicht dargestellten Layout und in Fig. 3B in Form eines Schaltschemas dargestellten ersten Ausführungsbeispiel einer erfindungsgemäßen magnetoresistiven 1-Transistor-Halbleiterspeicheranordnung liegen sowohl die Digitline (DL) 3 als auch die niederohmigen Wortleitungsverbindungen 10 in der Metallisierungsebene M1 während die Bitleitungen (BL) 5 in der Metallisierungsebene M2 liegen. Die Polysiliziumwortleitungen 1 liegen in der Polysiliziumverbindungsebene GC. Auf diese Weise sind in der Metallisie-

5 rungsebene M1 die im Layout ungenutzten Leitungen 10 (special purpose line) zum schnellen Aktivieren der Wortleitungen durch die Zufuhr eines Signals über die Leitungen 10 nutzbar. Dies geht aus dem in Fig. 3B dargestellten Schaltschema hervor. Alternativ können auch in der Polysiliziumverbindungsebene GC liegende ungenutzte Leitungen für denselben Zweck benutzt werden. Das minimal erzielbare Zelllayout von 6 F₁ ist erhalten, wie in Fig. 3A durch das schraffierte Areal angedeutet ist.

10

Fig. 4 zeigt ein zweites Ausführungsbeispiel einer erfindungsgemäßen integrierten magnetoresistiven Halbleiterspeicheranordnung, bei der eine in der M1-Metallisierungsebene liegende ungenutzte Bahn für die Spannungszufuhr oder eine Bahn in der Polysiliziumverbindungsebene für einen Kurzschluss des Transistors 15 zum Substrat verwendet ist.

Patentansprüche

1. Integrierter magnetoresistiver Halbleiterspeicher, der in jeder Speicherzelle zwei durch eine dünne Tunnelbarriere (13) getrennte magnetische Lagen (11, 12) und einen Schalttransistor (15) oder eine Diode als aktiv schaltbares Isolierelement aufweist, wobei Verbindungsleiter (1, 2, 3, 5, 10) jeweils für Wort-, Digit- und Bitleitungen sowie zur Aktivierung des Schalttransistors (15) einer oder mehrerer Speicherzellen in mehreren Metallisierungsebenen (M1, M2, M3) und einer Polysiliziumverbindungsebene (GC) integriert sind, d a d u r c h g e k e n n z e i c h n e t , dass alle Verbindungsleiter (1, 2, 3, 5, 10) ausschließlich in zwei Metallisierungsebenen (M1, M2) und der Polysiliziumverbindungsebene (GC) liegen.

2. Integrierter magnetoresistiver Halbleiterspeicher nach Anspruch, dadurch gekennzeichnet, dass die Digitleitungen(en) (3) und die niederohmige(n) Wortleitung(en) (2; 10) in der gleichen Metallisierungsebene (M1) liegen.

3. Integrierter magnetoresistiver Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, dass in der Polysiliziumverbindungsebene (GC) liegende Verbindungsleiter (10) als Substratkurzschluss dienen.

4. Verfahren zur Herstellung eines integrierten magnetoresistiven Halbleiterspeichers mit folgenden Schritten:

- Integration für jede Speicherzelle von zwei durch eine dünne Tunnelbarriere (13) getrennten magnetischen Lagen (11, 12) und eines Schalttransistors (15) oder einer Diode als aktiv schaltbares Isolierelement sowie von Verbindungsleitern (1, 2, 3, 5, 10) jeweils für Wort-, Digit- und Bitleitungen und zur Aktivierung des Schalttransistors (15) von Speicherzellen in mehreren Metallisierungsebenen (M1, M2, M3) und einer Polysiliziumverbindungsebene (GC), g e k e n n z e i c h n e t durch folgenden Schritt:

- Verwenden der im Layout ungenutzten Leitungen, welche in der Metallisierungsebene der Digitleitung liegen, bzw. in der Polysiliziumverbindungsebene angeordnet sind für die Verbindung anderer Elemente des magnetoresistiven Halbleiterspeichers, wobei alle Verbindungsleiter ausschließlich in zwei Metallisierungsebenen (M1, M2) und der Polysiliziumverbindungsebene (GC) angeordnet werden.

5. Herstellungsverfahren nach Anspruch 4, dadurch gekennzeichnet, dass die gleiche Metallisierungsebene (M1) für die Digitleitung(en) (3) und für die niederohmige(n) Wortleitung(en) verwendet wird.

6. Herstellungsverfahren nach Anspruch 4, dadurch gekennzeichnet, dass die Polysiliziumverbindungsebene (GC) als Substratkurzschluss verwendet wird.

Zusammenfassung

Integrierter magnetoresistiver Halbleiterspeicher und Her-
stellungsverfahren dafür

5

Die Erfindung betrifft einen integrierten magnetoresistiven
Halbleiterspeicher, der in jeder Speicherzelle zwei durch ei-
ne dünne Tunnelbarriere (13) getrennte magnetische Lagen (11,
12) und einen Schalttransistor (15) oder eine Diode als aktiv
10 schaltbares Isolierelement aufweist, wobei Verbindungsleiter
(1, 2, 3, 5, 10) jeweils für Wort-, Digit- und Bitleitungen
sowie zur Aktivierung des Schalttransistors einer oder mehre-
rer Speicherzellen in nur zwei Metallisierungsebenen (M1, M2)
und einer Polysiliziumverbindungsebene (GC) integriert sind,
15 und ein Herstellungsverfahren dafür.

(Fig. 3A)

Bezugszeichenliste

1	Wortleitung WL (GC)
2	WL-Stitch (M1)
3	Digitline (M2)
4	aktiver Bereich (Diffusion)
5	Bitleitung (M2, M3)
6	Strap
7	Kontaktstrap-Diffusionsbereich
8	minimal erzielbares Zelllayout: 6 F _{min}
10	special purpose line in M1 oder GC
11	fixed magnetic layer
12	floating magnetic layer
13	dielektrische Barrierschicht
15	MOS-Isolationstransistor
F	minimum feature size
M1, M2, M3	Metallisierungslagen
GC	Polysiliziumverbindungsebene

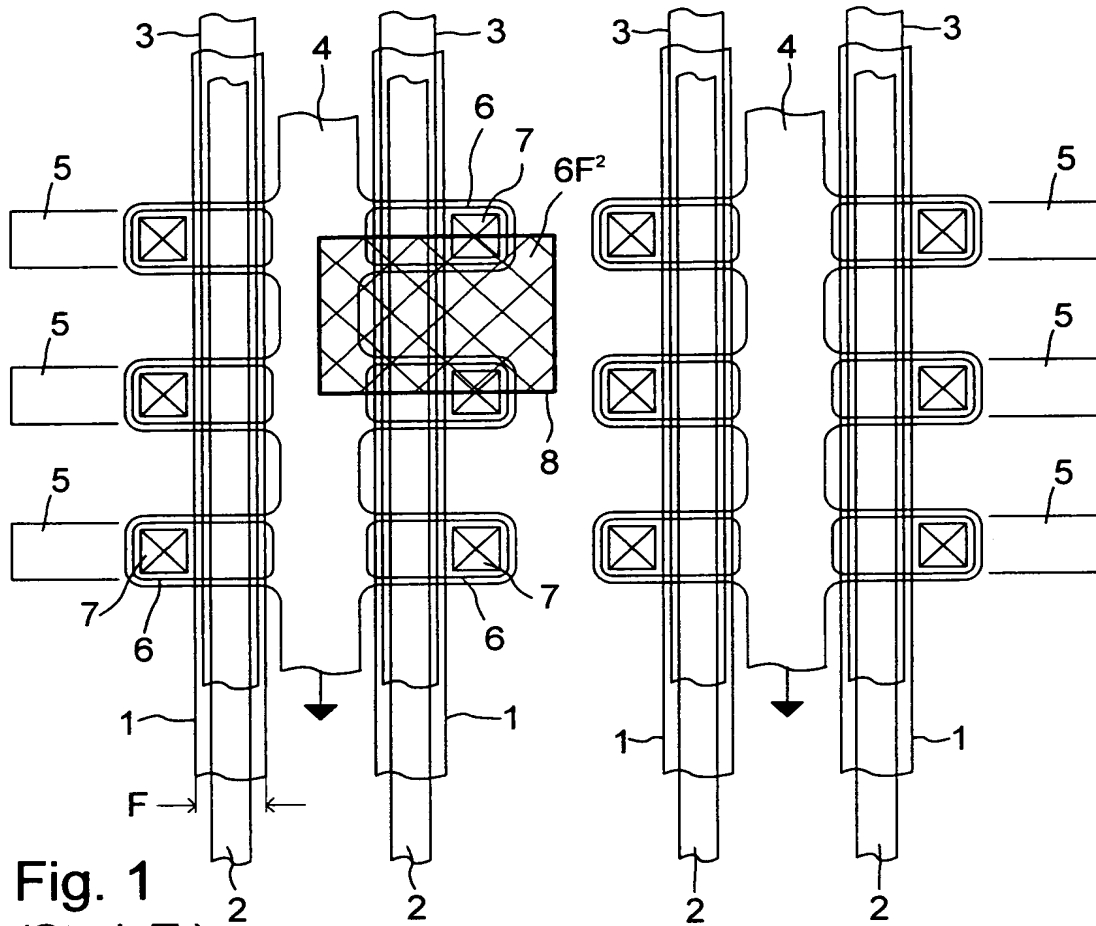


Fig. 1
 (St. d. T.)

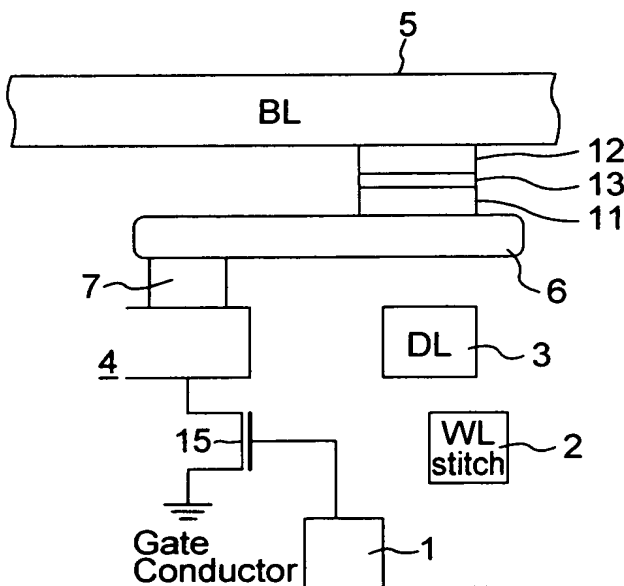


Fig. 2A
 (St. d. T.)

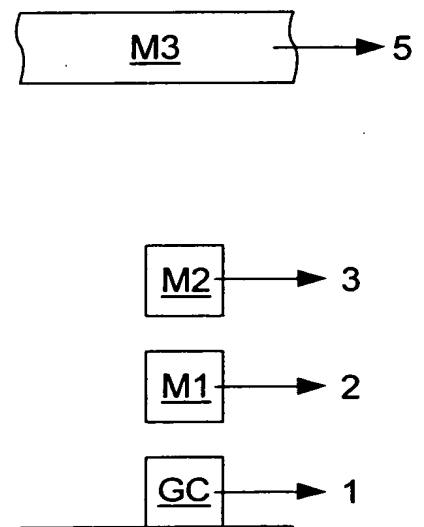


Fig. 2B
 (St. d. T.)

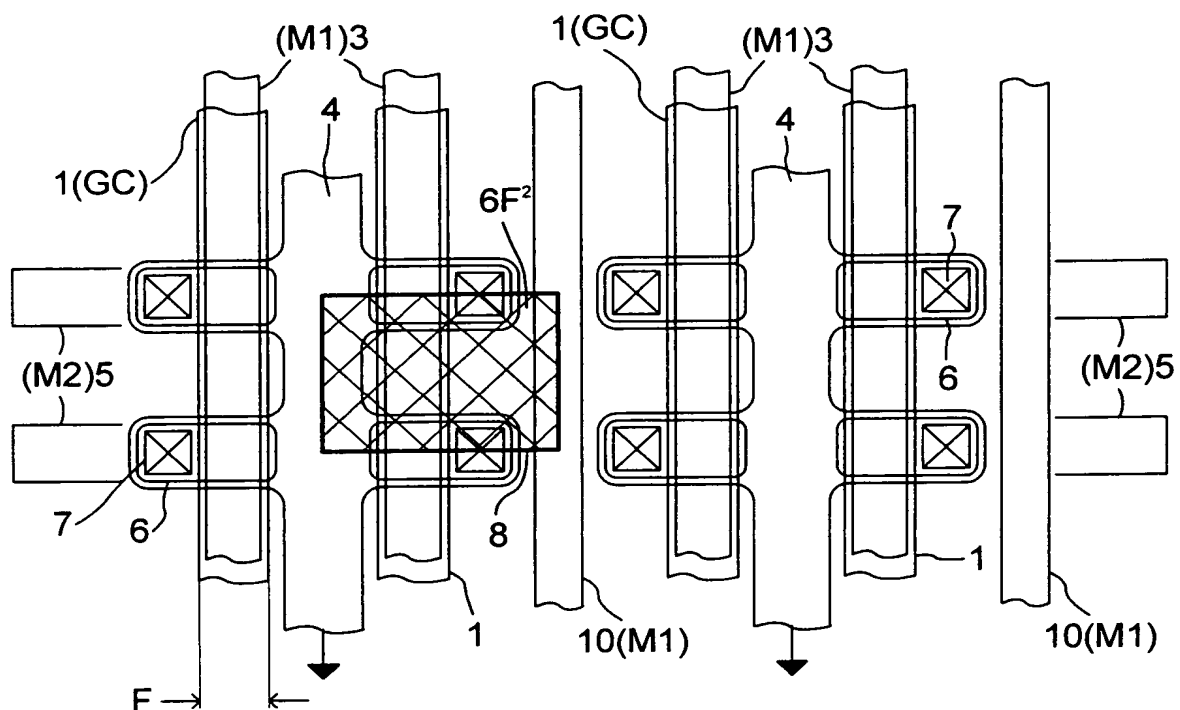


Fig. 3A

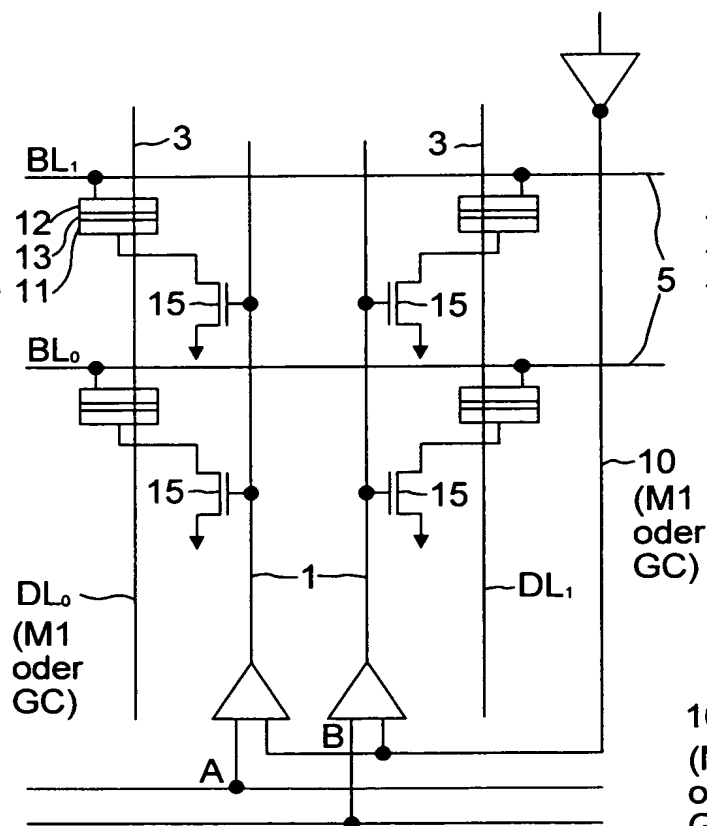


Fig. 3B

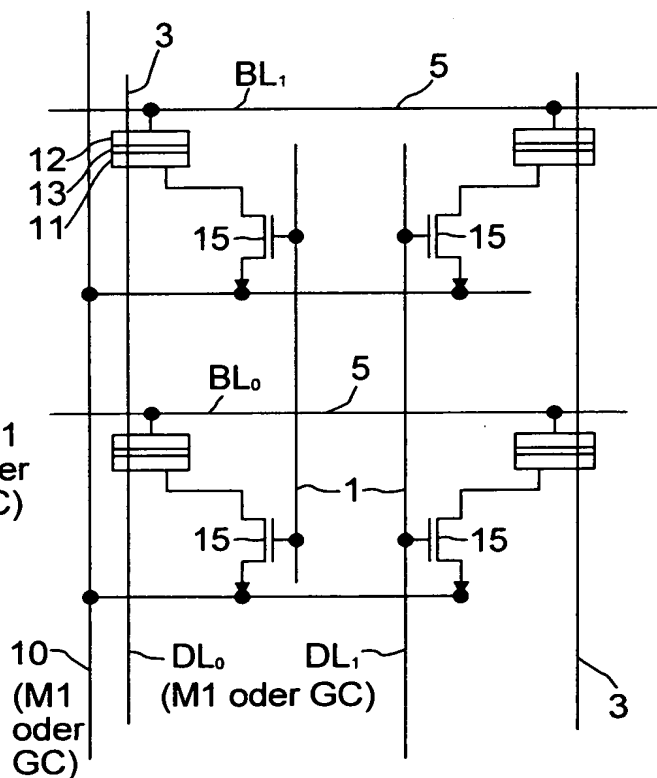


Fig. 4

Figur für die Zusammenfassung

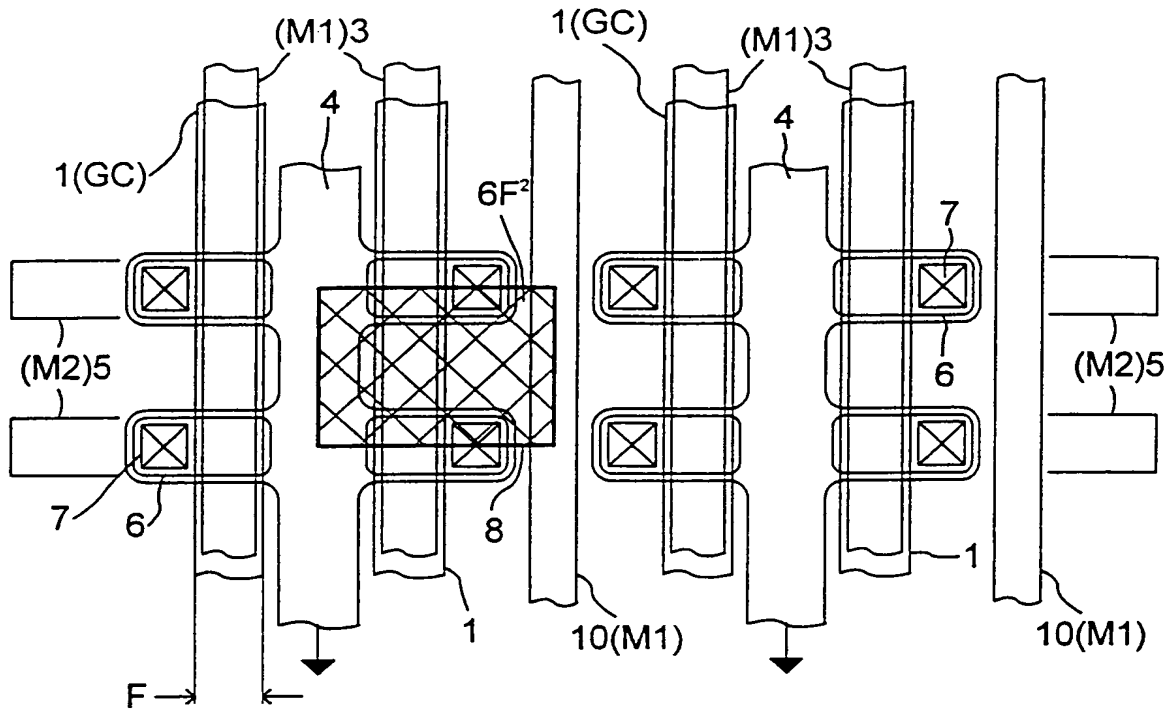


Fig. 3A